

2D Mesh 片上网络中交换机服务性能影响的研究及其拓扑改进

赵宏智

(北京交通大学计算机与信息技术学院,北京 100044)

摘 要: 本文研究了交换机服务性能对 2D Mesh 片上网络的缓冲区资源和端到端延时的影响,发现在较低的丢包率的情况下,即使交换机能够提供很高的服务性能,却难以节省其所使用的缓冲区资源的现象.针对该现象,提出了一种基于星型子网的网状拓扑结构 SSBM(Star-Subnet-Based-Mesh),在同样的网络规模以及丢包率的情况下,该种结构与 2D Mesh 结构相比具有更少的端到端通信延时,并且能够以较少的交换机服务性能为代价来节省较多的缓冲区资源,在较大程度上优化了 2D Mesh 片上网络的面积.

关键词: 片上网络;星型子网;二维网格结构;交换机服务性能

中图分类号: TP391.7 **文献标识码:** A **文章编号:** 0372-2112 (2009) 02-0294-05

Study of the Impact of Switch Service Performance on 2D Mesh Network on Chip And Its Improved Topology

ZHAO Hong-zhi

(Computer and Information Technology School, Beijing Jiaotong University, Beijing 100044, China)

Abstract: This paper studies the impact of switch service performance on buffer resources and end-to-end delay of typical 2D Mesh Network on Chip. A phenomenon is found that buffer resources used in 2D Mesh network on chip are very difficult to be saved even if with very high switch service performance under low drop rate. A kind of Star-Subnet-Based-Mesh (SSBM) network on chip is presented according to this phenomenon. With the same network scale and drop rate, SSBM shows less end-to-end delay, less buffer resources used and less chip area at the cost of a little switch service performance than 2D Mesh topology.

Key words: network on Chip; star-subnet; 2D mesh; switch service performance

1 引言

基于包交换策略的片上网络(Network On Chip)方式成为设计大规模 SoC 的一个较好的解决方案^[1]. 2D Mesh NOC 以其简单的结构和良好的扩展性^[2,4]、可控的电气参数和较低的连接功耗^[3]、允许对体系结构层和物理层进行集成^[4]等优点而成为 NoC 研究的一个热点.

在 2D Mesh 片上网络的研究中,交换机所使用的缓冲区尺寸、端到端延时、通信负载以及丢包率等是评价片上网络的性能、面积以及服务质量的重要指标^[5,6]. 现有的一些研究主要是从数据包包长^[5]、节点流量大小^[6]、不同的网络流量模型^[7]、应用相关的缓冲区分配算法^[8,9]等角度对这些指标进行研究,本文将从交换机服务性能的角度来研究这些重要指标. 相关的研究有:

在 2D Mesh 结构中插入一种面向具体应用的长距离连接,当网络从空闲态转入阻塞态时,这种长连接方式能够显著地提高网络的吞吐量^[3]. 对 2D Mesh 片上网络的诸多设计选项进行评估^[6],其主要方法是单一的交换机服务性能以及允许丢包率大于零的情况下,通过调节节点流量速率的方式来研究缓冲区尺寸对丢包率、通信负载和数据包延时的影响. 一种系统级缓冲区布局算法^[8]可以在给定流量特征和缓冲区空间总量的情况下,自动地为不同路由器的每一个输入通道分配合适的缓冲区深度以便使其与通信模型相匹配,从而使得总体性能最大化. 在这些研究的基础上,通过进一步的仿真,本文发现了一个现象:在保持较小的丢包率的情况下,即使交换机具有很高的服务性能,却难以节省其所使用的缓冲区资源. 然后本文通过改进拓扑结构改善了此现象.

2 交换机服务性能对 2D Mesh 片上网络影响的研究

交换机作为一个服务系统,其服务能力将直接影响数据包的损失率、数据包的服务等待时间即端到端通信延时等片上网络的关键性能指标^[10]。另一方面, NOC 中交换机的吞吐性能可以做地非常高,如几十个 Gbps^[1,12],甚至高达 1.82Tbps^[2]。与其形成明显对比的是,作为网络节点的大多数 IP 模块如内存、FPGA 等的吞吐量少则 100Kbps 以下,多则到 1 Gbps^[2],这种吞吐量上的巨大差异就以牺牲交换机性能为代价来优化其它设计选项如延时和缓冲区资源的做法提供了基础。

2.1 2D Mesh 片上网络的建模

片上网络模型如下: 4×4 规模;包到达的间隔时间为 64 cycles/packet;网络节点都设为生成/销毁数据包对,以 100Mbps 的速率随机均匀地生成数据包,包长 64bits^[11];链路数据率均为 2000Mbps;DROP-TAIL 队列管理算法、XY 路由算法以及存储转发方式,缓冲区设为单个共享内存方式。

2.2 仿真结果分析

在固定节点规模和节点注入率以及丢包率小于万分之一时,交换机性能对其所使用的缓冲区尺寸和数据包传输延时的影响如下:

(1) 当服务性能在区间 500Mbps 到 1100Mbps 内调整时,如图 1(a)所示:在相同的缓冲区尺寸下,端到端延时随着服务性能的增加而不断降低;当服务性能大于等于 500Mbps,并且缓冲区长度大于等于某个临界尺寸时,端到端延时就会稳定在某个数值上,不再受缓冲区长度的影响;当服务性能大于等于 1000Mbps 时,即使服务性能增加较多,端到端延时也不会显著地降低。

(2) 当服务性能在区间 500Mbps 到 3000Mbps 时,如图 1(b)所示:虽然交换机所需使用的缓冲区尺寸基本上是随着性能的增加而不断减少,但是在一个较大的区间内,所使用的缓冲区尺寸基本上是不变的。换句话说,在缓冲区资源敏感的 2D Mesh 片上网络设计中存在着这样一个现象:当交换机服务性能到达某个值之后,再以牺牲服务性能为代价来进一步地节省单个交换机缓冲区资源以及所有交换机缓冲区资源总和的做法代价是很大的。

3 改进的 2D Mesh 片上网络结构

针对上述现象,鉴于长距离链路所具有的优点^[3]及拓扑优化所具有的优势^[13],本文在 2D Mesh 结构的基础上引入一个中间层次 - 2×2 规模的星型子网,即 SSBM(Star-Subnet-Based Mesh)网络,如图 2 所示,出于布线的考虑,假设在 SSBM 网络中交换机与交换机之间的

链路长度为 2D Mesh 结构下交换机之间链路长度的两倍,交换机与节点之间的链路长度与 2D Mesh 结构下交换机与节点之间的链路相等。

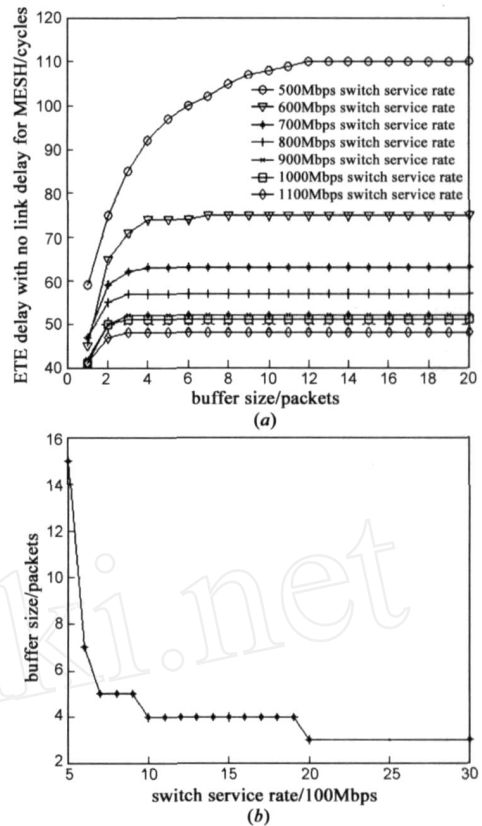


图 1 (a)不同服务性能下缓冲区尺寸与端到端传输延时的关系; (b)服务性能与缓冲区长度的关系

4 一些片上网络设计选项的分析与讨论

4.1 链路延时分析与比较

片上网络中端到端通信延时主要由链路延时和交换机延时两部分组成^[6]。本小节先对链路延时进行讨论(交换机延时将在后面的小节进行讨论)。在基于超深亚微米工艺的片上网络中,互连线的平均延迟时间与单元本征的门延迟时间相比已经成为主要因素^[14],因此必须要考虑链路延时问题。片上网络的链路可以分为交换机到交换机的链路(sw2sw.link)和交换机与节点之间的链路(sw2nod.link)两种。为确保可控的电气参数,本文假设两种拓扑结构下的所有 sw2sw.link 之间以及所有 sw2nod.link 之间都是等长的,并且任意两个节点之间的距离都等于若干个 sw2sw.link 加上两个 sw2nod.link。

在节点规模为 $N \times N$ (只讨论 N 为偶数的情况)的网络中,节点的总路径长度中都包含着相同的 $N \times N \times (N \times N - 1)$ 个 sw2nod.link,因此总路径长度的差异取决于 sw2sw.link 的数目。2D Mesh 结构的总路径长度(以

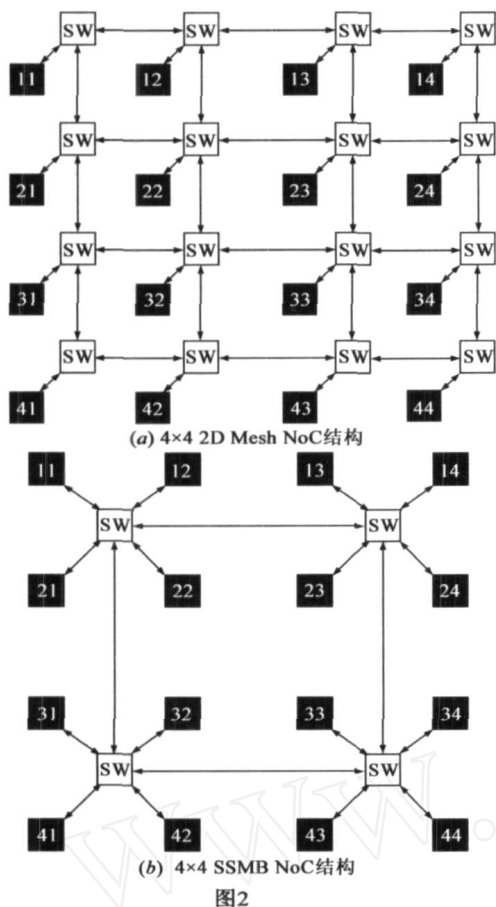


图2

sw2sw link 数目衡量,不考虑 sw2nod. link) 如下:

$$Sum. sw2sw. link. mesh(N) = \sum_{i=1, j=1}^{i=N, j=N} |d(i, j) - d(i, j)|$$

其中 $d(i, j)$ 是原节点地址, $d(i, j)$ 是目标节点地址.

SSBM 结构的总路径长度与 2D Mesh 结构的总路径长度(均以 sw2sw link 数目衡量,不考虑 sw2nod. link) 之间存在这样一个关系:

$$Sum. sw2sw. link. ssbm(N) = 16 \times Sum. sw2sw. link. mesh(N/2)$$

另一方面,长距离链路的延时往往比短距离链路的延时要长的多,为保持链路延时与长度的线性关系,往往需要在长距离链路中插入多个深度至少为 2(即存储两个数据包)的中继器^[14],以便将其分割为规则的、固定长度的网络链路,从而可以完全利用长距离链路所具有的优点^[14]. 由于 sw2sw. link. ssbm 长度是 sw2sw. link. Mesh 长度的两倍,为确保改进的 2D Mesh 结构下链路延时与长度的线性关系,需要在每个 sw2sw. link. ssbm 中加入一个深度为 2 的中继器,使得 sw2sw. link. ssbm 的延时是 Mesh 结构下 sw2sw. link. Mesh 延时的两

倍,在单位长度的链路延时固定的情况下,可将 Sum. sw2sw. link. Mesh 与 Sum. sw2sw. link. ssbm 看作两者的链路延时.

两种拓扑结构链路的总延时如图 3 所示:在不同的 N 值情况下,SSBM 结构的总链路延时略小于 2D Mesh 结构.

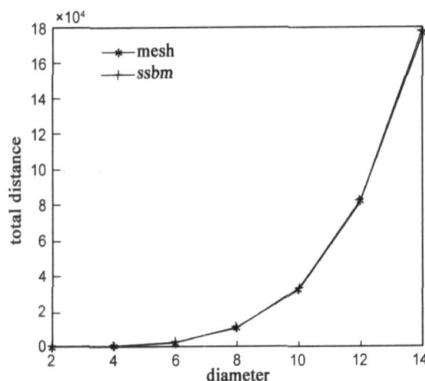


图3 不同N值时Mesh与SSBM结构下节点间通信的总链路长度

4.2 链路面积的分析与比较

在金属连线(wire)宽度相等的情况下,链路的面积取决于金属连线的长度与数目. 在节点规模为 $N \times N$ 的情况下,设交换机与节点之间的链路中金属连线的数目为 $W1$,长度为 L_n ;交换机与交换机之间的链路中金属连线的数目为 $W2$,长度为 L_s ,则两种结构的链路面积如表 1 所示,SSBM NOC 的链路总面积比 2D Mesh NOC 的链路面积要小.

表1 两种片上网络结构的链路面积

	2D Mesh NOC 的链路面积	SSBM NOC 的链路面积	比较
sw2nod	长度: L_n ;	长度: L_n ;	相等
链路面积	数目: $N * N * W1$	数目: $N * N * W1$	
sw2sw	长度: L_s ;	长度: $2L_s$;	两倍
链路面积	数目: $N * N * W2$	数目: $N * N * W2/4$;	

4.3 交换机面积的讨论

在片上网络中,除 IP 节点外,交换机将占用芯片面积的很大一部分比例. 而在一个交换机中,与缓冲区资源所占用的面积相比,控制逻辑的面积可以忽略不计^[14],交换机的面积基本上取决于数据包宽度和缓冲区尺寸,并且在任意数据包尺寸下,缓冲区尺寸的增加与交换机面积的增加呈线性关系^[3,5],因此我们将交换机面积的讨论重点放到交换机的缓冲区资源上.

在 2D Mesh 结构下,整个芯片(除 IP 节点)的总缓冲区资源取决于单个交换机所使用的缓冲区深度和交换机的数目. 在 SSBM 结构下,总缓冲区资源不但取决于单个交换机所使用的缓冲区深度和交换机的数目,还受到为优化链路延时而在链路中添加的中继器缓冲区资源的影响. 下面将通过仿真方法来讨论缓冲区资源的使用情况.

5 仿真结果

5.1 交换机性能对缓冲区资源的影响

在丢包率小于万分之一时,交换机服务性能对缓冲区长度的影响如下:

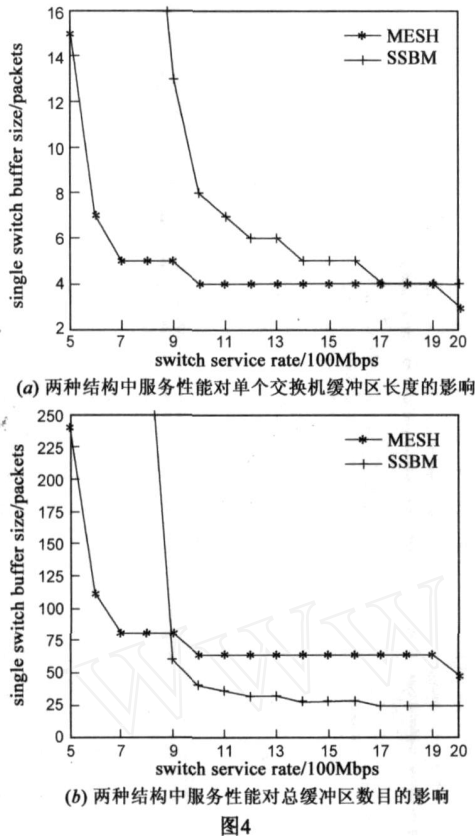


图4

图 4 (a) 显示了当服务性能小于 1Gbps 时,SSBM 结构中交换机对缓冲区资源的需求量远大于 Mesh 结构中交换机的缓冲区资源的需求量;当服务性能大于等于 1Gbps 时,Mesh 结构与 SSBM 结构下交换机所需使用的缓冲区资源差值小于等于 4。

在链路中加入一个深度为 2 的缓冲区之后,SSBM 结构下总缓冲区资源的数目等于单个交换机缓冲区数目乘以 4 再加上 4 个深度为 2 的中继器缓冲区资源。图 4 (b) 显示了两种结构下交换机服务性能对整个片上网络(除 IP 节点外)总缓冲区资源数目的影响。当交换机性能大于等于 1200Mbps 时,SSBM 结构对总缓冲区资源的需求要小于或等于 2D Mesh 结构的一半。

由此本文得到一个结论:通过改进片上网络拓扑结构的方法,如 SSBM 结构,可以以牺牲交换机服务性能为代价在较大程度上优化片上网络所需使用的总缓冲区资源。

5.2 交换机性能对延时的影响

前面组成网络延时的链路延时进行了讨论,本节将通过仿真的方法来对两种结构下的交换机延时进

行比较。如图 5 (a) 所示:当服务性能小于等于 800Mbps 时,端到端延时不收敛,随着缓冲区尺寸的增加而不断增加;当服务性能大于 900Mbps 时,延时随着服务性能的增加而不断降低,但当缓冲区长度在 4 至 7 时端到端延时基本上就稳定在某个数值上了,不再受缓冲区长度的影响。

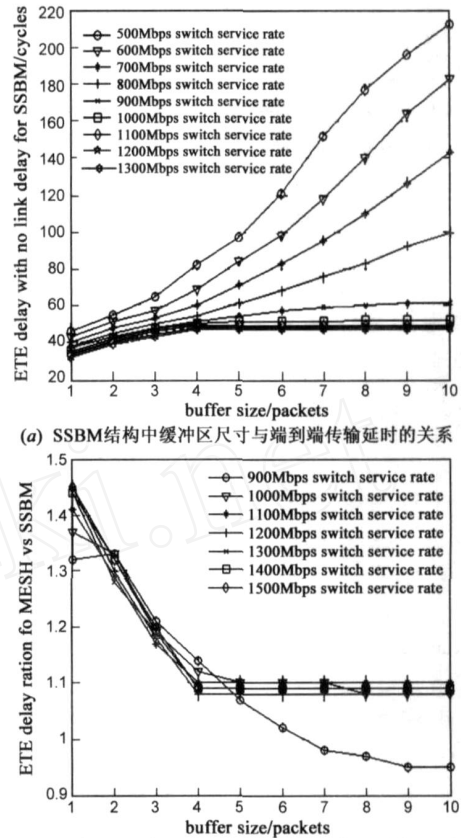


图5

如图 5 (b) 所示,即使两种结构下交换机的服务性能相同,SSBM 结构下的端到端延时也都要小于 2D Mesh 结构下的端到端延时,且差值与交换机缓冲区的大小无关。

6 结论

在节点注入率固定以及较小的丢包率的情况下,SSBM 结构的端到端通信延时是小于 2D Mesh 结构的,体现在:一是无论网络规模有多大,SSBM 结构的链路延时总是小于 2D Mesh 结构的;二是当交换机的服务性能大于一定数值时,SSBM 结构的交换机延时也是小于 2D Mesh 结构的。

另外,SSBM 结构能够以牺牲交换机服务性能为代价,较大幅度地减少缓冲区资源总数,在部分程度上解决了 2D Mesh 结构下虽然服务性能很高,却难以节省整个片上网络的缓冲区资源的问题,对片上网络的设计

工作具有较好的指导意义。

致谢:感谢王沁老师在论文写作中给予的指导和帮助!

参考文献:

- [1] J Dielissen, A Radulescu, K Goossens, et al. Concepts and implementation of the Philips Network-on-Chip [R]. IP-Based SoC Design, Philips Co. Ltd, 2003.
- [2] P Guerrier, A Greiner. A generic architecture for on-chip packet-switched interconnections [A]. Proc Int Conf on Design, Automation and Test in Europe (DATE) [C]. New York, USA: ACM, 2000. 250 - 256.
- [3] U Y Ogras, R Marculescu. Application specific Network-on-Chip architecture customization via long-range link insertion [A]. Proc. ICCAD [C]. Washington DC, USA: IEEE Computer Society, 2005. 246 - 253.
- [4] S Kumar. A Network on Chip architecture and design methodology [A]. Proceedings of ISVLSI [C]. Washington, DC, USA: IEEE Computer Society, 2002. 117 - 124.
- [5] Moraes F, Calazans N, Mello A, et al. HERMES: an infrastructure for low area overhead packet switching Networks-on-Chip [J]. The VLSI Journal Integration (VJI), 2004. (38): 69 - 93.
- [6] Sun Y R, Kumar S, Jantsch A. Simulation and evaluation of a network on chip architecture using ns-2 [A]. Proc of the IEEE NorChip Conference [C]. Copenhagen, Denmark: BlackWell, 2002. 53 - 58.
- [7] L Bononi, N Concer. Simulation and analysis of network on chip architectures: ring, spidergon and 2D Mesh [A]. DATE Designers' Forum [C]. 3001 Leuven, Belgium: European Design and Automation Association, 2006. 154 - 159.
- [8] J Hu, M Radu. Application specific buffer space allocation for Networks-on-Chip router design [A]. Proc. ICCAD [C]. Washington DC, USA: IEEE Computer Society, 2004. 354 - 361.
- [9] Adve V S, Vernon M K. Performance analysis of mesh interconnection networks with deterministic routing [J]. IEEE Transaction on Parallel and Distributed Systems, 1994 (5): 225 - 246.
- [10] 陆凤山. 排队论及其应用 [M]. 湖南: 湖南科学技术出版社, 1984.
- [11] D Kim, M Kim, Sobelman G E. CDMA-based Network-on-Chip architecture [A]. Proc of Circuits and Systems [C]. Minnesota, USA: University of Minnesota 2004. 137 - 140.
- [12] Rijpkema E, Goossens K, Radulescu A, et al. Trade-offs in the design of a router with both guaranteed and best-effort services for networks on chip [J]. IEEE Computer Society, 2003, 150 (5): 294 - 302.
- [13] 马立伟, 孙义和. 片上网络拓扑优化: 在离散平面上布局布线 [J]. 电子学报, 2007, 35(5): 906 - 911.
Ma Li-wei, Sun Yi-he. Network-on-Chip topology optimizations: floorplan and routing on discrete plane [J]. Acta Electronica Sinica, 2007, 35(5): 906 - 911. (in Chinese)
- [14] Bjerregaard T, Mahadevan S. A survey of research and practices of Network-on-Chip [J]. ACM Computing Surveys, . 2006(38): 1 - 51.

作者简介:



赵宏智 男, 1979 年生于江苏连云港. 博士. 现为北京交通大学计算机学院讲师, 主要研究方向为超大规模集成电路、嵌入式系统等.
Email: hzzhao@bjtu.edu.cn